

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 昭58-156225

⑬ Int. Cl.<sup>3</sup>  
H 03 K 5/00  
H 03 H 11/02

識別記号 庁内整理番号  
7232-5J  
7439-5J

⑭ 公開 昭和58年(1983)9月17日  
発明の数 1  
審査請求 未請求

(全 3 頁)

⑮ パルスのアイソレータ

⑯ 特願 昭57-39949  
⑰ 出願 昭57(1982)3月12日  
⑱ 発明者 江島直樹

門真市大字門真1006番地松下電器産業株式会社内  
⑲ 出願人 松下電器産業株式会社  
門真市大字門真1006番地  
⑳ 代理人 弁理士 森本義弘

明細書

1. 発明の名称

パルスのアイソレータ

2. 特許請求の範囲

1. 伝送すべきパルスのエッジ成分を抽出する抽出手段と、この抽出手段からのエッジ成分を伝送するパルストラnsとを設け、前記パルストラnsの出力側にヒステリシス特性を有する入力ゲート回路を接続し、この入力ゲート回路の入力端を入力ゲート回路のヒステリシス幅の範囲内にバイアスするバイアス回路を設けたパルスのアイソレータ。

3. 発明の詳細な説明

本発明は高速のパルス信号をグランド電位の異なる装置へ伝送するためのアイソレータに関する。

従来、パルスのアイソレータとして、発光素子と光電変換素子とを光学的に結合した光アイソレータがあった。しかしながらこのような光アイソレータでは価格が高いうえに、非常に高速なパルス動作は困難であり、立ち上がり速度 1 μsec が限界

であり、しかも変換効率が悪いため受信側で増幅しなければならないという問題があった。

本発明は上記の点に鑑み、高速動作が可能で変換効率が高く、しかも安価に製作できるパルスのアイソレータを図ることを目的とする。

すなわち本発明は、伝送すべきパルスのエッジ成分を抽出する抽出手段と、この抽出手段からのエッジ成分を伝送するパルストラnsとを設け、前記パルストラnsの出力側にヒステリシス特性を有する入力ゲート回路を接続し、この入力ゲート回路の入力端を入力ゲート回路のヒステリシス幅の範囲内にバイアスするバイアス回路を設けたものであり、パルストラnsにより伝送されたパルスのエッジ成分をバイアス電圧に重複し、これによりヒステリシス特性を有する入力ゲート回路の出力を反転させて元のパルスを得るので、高速動作が可能かつ変換効率が高く、しかも高価な部品が不要で安価に製作できるのである。

以下本発明の一実施例を図面に基づいて説明する。第1図は本発明の一実施例におけるパルスの

アイソレータの回路図、第2図は第1図に示す回路の各部動作電圧波形図であり、第1図において、(1)～(4)はインバータ、(5)はパルストラップ、(6)はバイアス回路、(7)は入力端子、(8)は出力端子、(9)はGnd.1の端子、(10)はGnd.2の端子、(11)は+B電源の端子、(R<sub>1</sub>)～(R<sub>3</sub>)は抵抗、(C<sub>1</sub>)はコンデンサである。

いま、Gnd.1を基準電位とする入力を(7)点に印加すると、インバータ(1)(2)で2度反転されるので、インバータ(2)の出力は(4)点と同様になる。この出力をリング防止の小抵抗(R<sub>1</sub>)と微分コンデンサ(C<sub>1</sub>)とを介してパルストラップ(5)に加えると、(4)点の波形は第2図(a)に示すパルス入力に対して第2図(b)に示すようになる。この幅の狭い微分パルスはパルストラップ(5)の2次側にも生じるが、(4)点は直感的にはGnd.2の基準電位にさらにバイアス回路(6)からの出力を重畳した電位V<sub>B</sub>を中心としてパルスが加わるので、第2図(c)に示すようになる。この信号はインバータ(3)(4)及び抵抗(R<sub>2</sub>)(R<sub>3</sub>)により構成されたヒステリシス回路から成る入力

ゲート回路(8)に入力される。ヒステリシス回路の動作原理については周知であるので説明を省略する。この入力ゲート回路(8)の下限しきい値をV<sub>L</sub>、上限しきい値をV<sub>H</sub>として第2図(c)に示している。前記バイアス回路(6)は、バイアス電位V<sub>B</sub>が、入力ゲート回路(8)の下限しきい値V<sub>L</sub>と上限しきい値V<sub>H</sub>との中间にくるように設定されており、第2図(a)に示す入力パルスの立ち上がりによって得られる正の微分パルスと立ち下がりによって得られる負の微分パルスのみがヒステリシス幅を越え、出力を反転させる。この結果(4)点には第2図(d)に示す出力パルスが得られ、第2図(a)に示す入力波形と同様になる。

このように、2つの基準電位の異なる回路間であってもパルスが正しく伝送される。また速度の点では、微分パルスをパルストラップ(5)で伝送するので、この間の時間遅れはほほ無視できく入力ゲート回路(8)の応答時間で速度が決定される。実験の結果、標準TTLロジックICで約10nsec. ローバーフォロットキータイプのものでも20nsec.程度で

あった。これらはロジックICの速度で決まるものであり、より高速のデバイス(例えばECL, I<sup>2</sup>L等)を使用すれば、さらに速度を高めることが可能である。また100%の変換効率が得られる。

なお前記パルストラップ(5)は、第3図に示すように、環状のフェライトコア間に銅線(14a)(14b)を巻いた簡単な構造のものであり、小形化が容易である。

以上説明したように、本発明にかかるパルスのアイソレータによれば、特別の部品を用いることなく簡単な回路で構成でき、安価に製作し得ると共に、高運動作が可能でしかも変換効率が極めて高い。

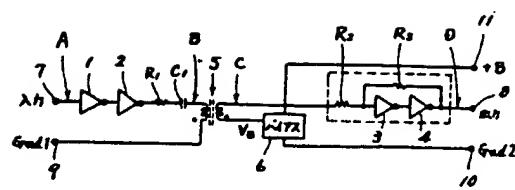
#### 4. 図面の簡単な説明

第1図は本発明の一実施例におけるパルスのアイソレータの回路図、第2図は第1図に示す回路の各部動作電圧波形図、第3図はパルストラップの外観斜視図である。

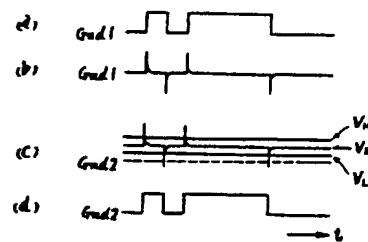
(1)～(4)…インバータ、(5)…パルストラップ、(6)  
…バイアス回路、(7)…入力ゲート回路、(R<sub>1</sub>)～(R<sub>3</sub>)

…抵抗、(C<sub>1</sub>)…コンデンサ

代理人 奥 本 義 弘



第 2 図



第 3 図

